

引用格式:张海金,苏若皓,崔媛媛,等. 面向军用电子系统的高性能高可靠处理器设计技术[J]. 微电子学与计算机,2020,37(3):66-70. [ZHANG H J, SU R H, CUI Y Y, et al. High-Performance and reliable processor design technology for military electronic system [J]. Microelectronics & Computer, 2020, 37(3): 66-70.]

面向军用电子系统的高性能高可靠处理器设计技术

张海金, 苏若皓, 崔媛媛, 娄 冕, 刘思源, 郭娜娜
(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 随着军用电子系统的信息化、智能化、集成化水平不断提升, 其所需实现的任务种类和数量越来越多, 其所处作战环境也越来越复杂, 使得其对高性能高可靠处理器的需求越来越迫切. 针对军用电子系统对处理器的高性能应用需求, 本文运用双发射指令执行技术、分支预测优化技术以及紧耦合的片上存储管理技术等提升处理器的指令执行效率; 针对军用电子系统对处理器的高可靠应用需求, 本文应用基于锁步结构的指令恢复技术来提高处理器的容错能力, 并采用 ECC 校验技术和冗余备份技术来提高片上存储系统的纠错能力和可靠性水平. 最终, 实现了一款性能达到 2 DMIPS/MHz、主频达到 300 MHz 的面向军用电子系统高性能高可靠处理器.

关键词: 双发射; 紧耦合存储管理; 锁步控制; ECC 校验

中图分类号: TN47 **文献标识码:** A **文章编号:** 1000—7180(2020)03—0066—05

High-Performance and reliable processor design technology for military electronic system

ZHANG Hai-jin, SU Ruo-hao, CUI Yuan-yuan, LOU Mian, LIU Si-yuan, GUO Na-na
(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: With the development of the military electronic system information intelligence integration level, it needs to realize more and more kinds of tasks in more and more complex environment, which increases the requirements for High-Performance and High-reliable Processor. In order to meet the high performance application of processor in military electronic system, Dual-issue instruction execution technology, Branch prediction optimization technology, and TCM memory Management technology is used in this paper. For the high reliable using, lock-step instruction recovery technology is used in this paper for increasing the fault-tolerance of CPU. Also, ECC and redundant backup technology is used to improving the correction capability and reliability. Finally, an high-performance and reliable processor is fabricated on 90nm, which main frequency reaches 300 MHz, 2.0 D MIPS/MHz.

Key words: dual-issue; TCM; lock-step; ECC

1 引言

进入 21 世纪以来, 军用电子系统不断向信息化、智能化、集成化方向发展. 导航、雷达、通信、武器管理、目标识别、军事指挥等方面逐渐实现了信息化和智能化^[1], 军用电子系统对实时高性能计算的需

求不断凸显^[2], 其对高性能处理器的需求不断增加. 此外, 随着各种现代化军事装备的应用, 军用电子系统所处的作战环境复杂, 对处理器的可靠性要求严苛. 同时, 随着半导体工艺的不断发 展, 工艺尺寸不断缩小, 决定电路状态的电荷量也随之减少, 集成电路噪声容限下降, 导致处理器面临越来越严重的可

靠性问题^[3],引起集成电路可靠性问题的原因包括永久故障、间歇故障和瞬态故障,其中瞬态故障是引起处理器可靠性问题的主因^[4],即使在地面环境下,集成电路受应用环境、封装材料中微量放射性元素等因素影响也可能出现瞬态故障^[5-6].针对军用电子系统的高性能高可靠要求,本文提出了一种面向军用电子系统的高性能高可靠处理器设计技术.

2 面向高性能的双发射紧耦合流水线设计

2.1 双发射指令执行技术

在很长一段时间内,流水技术一直作为提高处理器性能的主要途径.但是,随着流水线深度的不断增加,分支预测和 Cache 预取的准确性越来越难以保证,依靠加深流水线来提高处理器性能已不可取.超标量处理器在标量处理器的基础上,挖掘指令级并行,实现多条指令在一个周期内执行,有效地提高了处理器性能.但为了深度挖掘指令级并行,超标量处理器需要解决指令乱序执行、寄存器重命名、最优分支预测以及低功耗等关键问题,极大地增加了硬件的设计复杂度.

本处理器汲取了超标量处理器架构的多发射思想,充分利用硬件资源,在只集成 1 个 ALU 单元的情况下实现指令的双发射,设计结构如图 1 中所示.预取指单元一次从指令 Cache 中取一行共 4 条指令放入指令 FIFO.相邻两条指令如果不存在相关,可进行双发射.利用最少硬件部件,实现了双发射流水线,提高了指令执行效率.

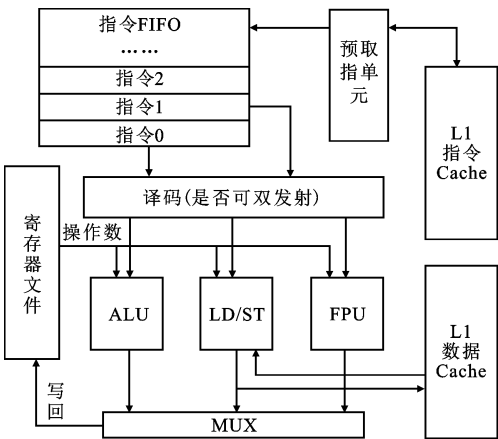


图 1 双发射流水线设计结构

2.2 分支预测优化技术

研究表明,随着流水线级数的增加,分支指令将

严重影响处理器的吞吐率.本处理器设计了一种分支预测器,为预取指单元的投机取指提供方向和目标地址.分支预测器主要由方向预测器和分支目标地址预测器两部分组成,其总体结构如图 2 中所示.每个时钟周期,处理器都使用当前的 PC 去访问指令 Cache 进行取指,同时该 PC 值还作为分支指令的地址被送到分支预测器中以完成分支预测功能.

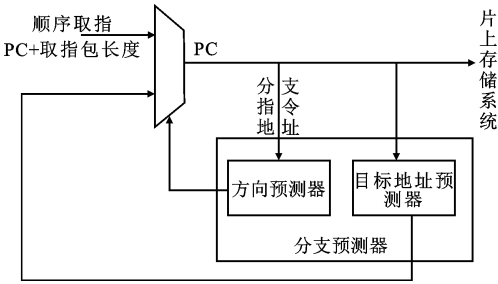


图 2 分支预测器总体结构

分支预测器中的方向预测器使用全局历史预测方案的自适应预测器,可学习执行期间的分支行为,基于之前分支的历史行为进行预测.对于每种分支行为的模式,历史查找表保持 2 bit 的 hint 值,该两位值是基于之前分支的行为,表示下一个分支是否预测执行或是预测不执行.每次进行方向预测时,PC 值与全局历史移位寄存器中的值进行异或操作产生一个 8 位的索引值,该索引值用来查询模式历史查找表,查到的 2 bit 的 hint 值用于确定分支是否执行.目标地址预测器采用返回栈结构,是针对子函数返回的一种专用目标地址预测器,用于预测程序返回的目标地址.

2.3 与处理器紧耦合的片上存储管理技术

在进行高性能处理器设计时,“存储墙”问题是不容忽视的问题.处理器期待高速且大容量的存储器,从实际的经济情况出发,利用局部性原理,本文将存储系统组织成不同的层次,如图 3 所示,以此提供一个成本接近最底层存储器而性能接近顶层存储器的存储系统.

本文片上存储系统采用三级存储层次,第一级为访问速度最快的寄存器文件,第二级是由 L1 指令 Cache、L1 数据 Cache 以及紧耦合存储接口挂接的片上 SRAM 和片上 FLASH 等构成的 L1 存储系统,第三级为由 EMIF 控制器控制的片外存储器.这三级存储器中,寄存器文件访问速度最快,其次是 L1 存储系统,访问速度最慢的是通过 EMIF 控制器挂接的片外存储器.寄存器文件虽然访问速度快,但其容量很小,仅适合存储程序运行的中间结果. L1

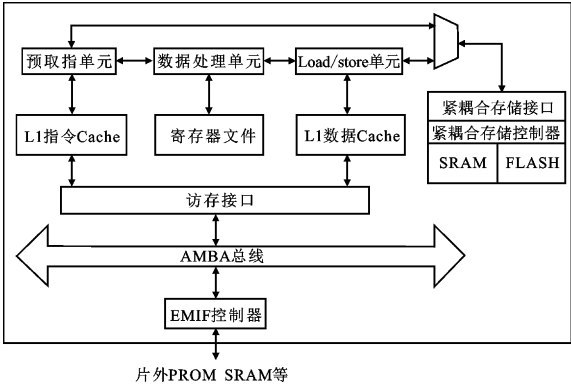


图 3 存储系统层次结构

存储器中的 Cache 采用指令和数据分离的哈佛结构,以支持流水线对指令和数据的同时访问,在 Cache 命中的情况下可实现零等待周期访问,若发生缺失则其访问速度将受限与外部存储器件的访问延迟. 为了实现片上大容量高速访问,本文设计实现片上 SRAM 和 FLASH 与处理器的紧耦合存储接口,可实现处理器对片上存储器的直接访问,甚至不经过 Cache 存储器,大大缩短了处理器的访存时间,同时片上存储器均属于同步存储器,器件本身的访问延迟也比较小,这些均为提高访存性能的有利条件.

3 面向高可靠的系统容错设计

3.1 基于锁步结构的指令恢复技术

处理器的容错技术包括在线监督和冗余计算两种,其中冗余计算技术又包含时间冗余和空间冗余两类方法^[7]. 为提高处理器容错能力,使处理器在运行期间能够实时检测处理器中的错误并使处理器能够自错误中恢复,本文采用两条流水线并行执行相同指令的方式获取两个指令执行结果,并采用锁步控制单元对两个指令执行结果进行比较判断,并根据判断结果通过软件访问指令执行历史记录表对发生的错误进行处理. 本文设计的基于锁步结构的并行流水线结构如图 4 所示.

在该处理器中,主流水线和冗余流水线工作于同一时钟域下,每个流水线都拥有独立的寄存器文件用于记录自身程序运行所产生的中间运算结果. 其中,主流水线控制处理器的指令/数据读写操作,主流水线读取的指令/数据除返回自身外还寄存在锁步前端寄存器中,锁步前端寄存器将这些指令/数据寄存后提供给冗余流水线. 主流水线指令执行结束后更新指令执行历史记录表的同时将运算结果送

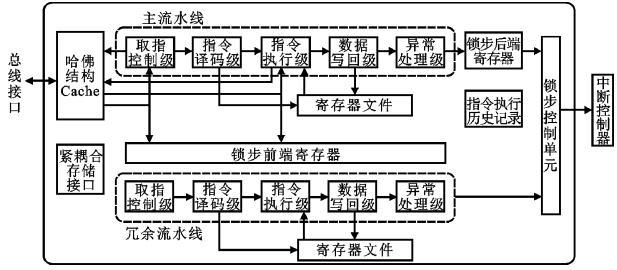


图 4 基于锁步结构的并行流水线结构

入锁存后端寄存器,锁存后端处理器将主流水线的运算结果寄存后发送给锁步控制单元. 锁步控制单元将锁存后端寄存器和冗余流水线的运算结果进行比较. 当锁步控制单元判断指令执行出现错误时,锁步控制单元产生错误信号向中断控制器发起中断请求,处理器根据中断请求进入锁步中断服务程序,通过读取指令执行历史记录表及锁步控制单元记录的错误信息判断错误是否可追溯. 若错误可追溯则返回错误指令执行前的指令重新执行,若错误不可追溯则采取复位等手段使处理器自错误中恢复过来. 处理器锁步控制单元不仅具有在运行期间进行处理器故障检测的能力,同时还具有自测试能力以及错误注入能力. 自测试能力用于检测处理器比较模块自身的故障,错误注入能力用于处理器模块到中断控制器之间的故障检测.

3.2 基于 ECC 算法的高可靠片上存储加固技术

为提高存储系统的容软错误能力,本文采用分级独立信息冗余技术为 L1 存储系统的存储器分别增加了独立的冗余校验信息,EMIF 控制器内部集成校验元生成和校验逻辑并提供校验存储器接口. 其中,L1 存储系统的 Cache 存储体采用奇偶校验,SRAM 和 FLASH 均采用纠一检二的 ECC 校验,EMIF 控制器也应用纠一检二的 ECC 校验算法进行数据校验操作.

由于 Cache 存储器的访问速度直接关系到处理器的性能,且 Cache 中的数据在外部存储体中都有数据副本存在,所以 Cache 采用奇偶校验算法,只进行检错操作. 若检测发现 Cache 中的数据发生了软错误,则认为 Cache 中存储的数据是无效的,需要向外部存储体发起访问请求以更新 Cache 数据并返回给处理器.

SRAM 和 FLASH 的 ECC 校验算法均采用 Hamming(40, 32)编解码方案,并提供工作模式和测试模式两种模式以实现 SRAM 和 FLASH 的基于故

障注入的校验方案验证及处理器容软错误能力分析。工作模式下处理器执行写操作时无需发送校验元,紧耦合存储控制器根据处理器发送的数据自动生成校验元并将其写入校验元存储体中。工作模式下处理器执行读操作时,紧耦合存储控制器将校验元和数据同时取回并进行 ECC 校验,校验无错时将数据返回给处理器;校验出现 1 位错时紧耦合存储控制器将校验后的正确数据返回给处理器的同时判断发生错误的是 SRAM 还是 FLASH,若为 SRAM 则将校验后的数据写回,若为 FLASH 则根据配置信息决定是否向处理器返回错误信号;校验出现两位及两位以上错误时,紧耦合存储控制器向处理器返回错误信号,处理器会根据数据错误的情况采取必要措施对数据进行更新。在测试模式下,紧耦合存储控制器对 SRAM 和 FLASH 的数据存储区和校验元存储区的访问相互独立,根据配置值决定访问数据区还是校验区,且该模式下不进行校验操作。综上所述,紧耦合存储控制器的工作流程如图 5 所示。

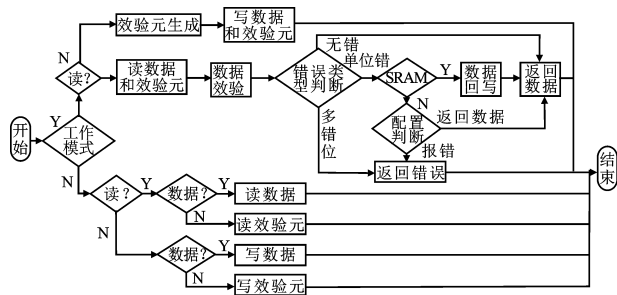


图5 紧耦合存储控制器访问流程

3.3 片上 FLASH 冗余备份技术

综合分析现有的片上 FLASH 测试数据发现,由于工艺制造缺陷以及使用环境的影响,FLASH 存储器中不可避免的会出现坏块现象,对坏块进行访问操作可能带来不可预测的错误,严重影响片上 FLASH 的可靠性。为解决这一问题,本文采用冗余备份技术使片上 FLASH 的实际容量大于可使用容量,无论是在测试阶段还是在使用过程中,有坏块出现就配置 FLASH 备份管理寄存器以改变地址重映射信息表,实现冗余块对坏块的替换操作。假设 FLASH 块大小为 4 kB,FLASH 容量为 512 kB (128 块),备份 FLASH 容量为 64 kB (16 块),FLASH 冗余备份结构如图 6 所示。

芯片测试完成后,主 FLASH 和冗余备份 FLASH 上出现的坏块均已确定,此时通过配置 FLASH 备份管理寄存器控制冗余块控制 FSM 将地址重映射信息写入冗余备份 FLASH 的特定块

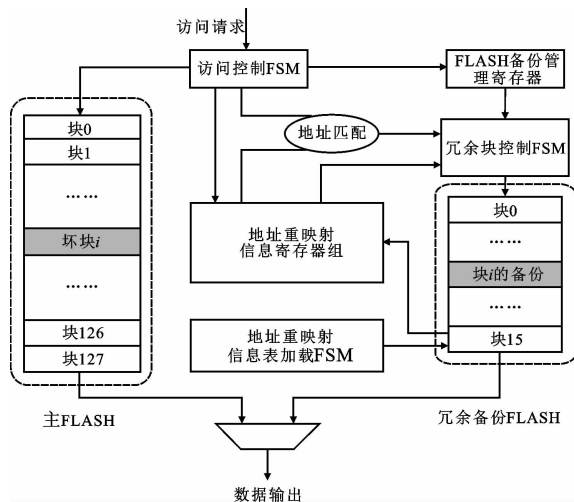


图6 FLASH 冗余备份结构

中。为保证地址重映射信息表的快速获得,在芯片应用阶段 FLASH 上电复位完成后,地址重映射信息表加载 FSM 将冗余备份中记录的地址重映射信息加载到地址重映射信息寄存器组中。地址重映射信息表加载完成后,当处理器发起对 FLASH 的访问操作时,访问控制 FSM 首先查询地址映射信息寄存器组,根据地址匹配结果决定访问主 FLASH 还是冗余备份 FLASH。若当前访问的主 FLASH 块不是坏块,那么访问控制 FSM 发起对主 FLASH 的访问,并将数据输出;若当前访问的主 FLASH 块为坏块,则控制冗余块控制 FSM 访问冗余备份 FLASH 以获取数据。在芯片应用过程中若发现主 FLASH 中出现坏块,则需要通过配置 FLASH 备份管理寄存器对存储在冗余备份 FLASH 中的地址重映射信息表进行更新,随后的访问将根据新的地址重映射信息表进行访问控制。

4 芯片实现结果

图 7 为采用本文提出方法设计的一款处理器 SoC 芯片,该芯片采用 90 nm 工艺制造,尺寸 9 mm × 9 mm,工作主频 300 MHz,通过典型后仿功耗向量得到全片功耗约 1.75 W。本芯片支持单、双精度浮点运算,采用处理器锁步结构,集成包括 1 553,以太网等近 70 个功能外设,实现了一款集成化、高性能、高可靠、自主保障的 SoC 芯片。

5 结束语

针对军用电子系统对处理器的高性能应用需求,本文采用双发射指令执行技术、分支预测优化技术及紧耦合的片上存储管理技术等来提高处理器的性能。

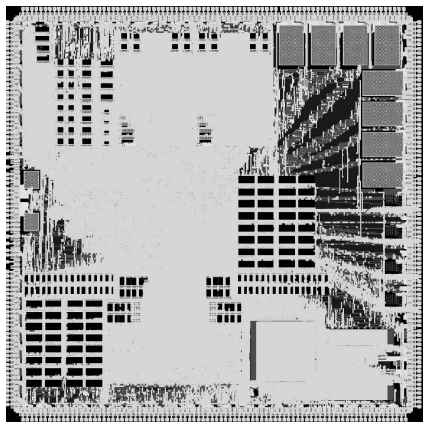


图7 芯片版图结构

针对军用电子系统对处理器的高可靠应用需求,本文采用基于锁步结构的指令恢复技术实现指令的并行执行并结合软件进行指令恢复以提高处理器的指令执行可靠性,采用信息冗余技术来提高片上存储系统的可靠性.此外,针对片上 FLASH 因工艺缺陷和应用环境影响的坏块现象,本文通过冗余备份技术实现片上 FLASH 坏块的灵活替换,以达到提高芯片可靠性的目的.最终,本文在 90nm 工艺下实现了一款性能达到 2 DMIPS/MHz、主频达到 300 MHz 的面向军用电子系统高性能高可靠处理器芯片.

参考文献:

- [1] 王立蒙,电磁脉冲对典型电子元器件的毁伤机理[D].太原:中北大学,2016.
- [2] 白鹭,王建生,沈华,机载嵌入式系统中的多和处理架构研究与分析[J].航空计算技术,2016,46(5):127-130.

- [3] 傅忠传,陈红松,崔刚,等.处理器容错技术研究与发展[J].计算机研究与发展,2007,44(1):154-160.
- [4] MITRA S, SEIFERT N, ZHANG M, et al, Robust system design with buildt-in soft-error resilience[J]. IEEE Transactions on Computer, 2005, 38(2):43-52.
- [5] 李建立,面向瞬时故障的可配置容错技术研究[D].长沙:国防科技大学,2013.
- [6] SHIVAKUMAR P, KISTLER M, KECKLER S W, et al. Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic [C]//Proceedings of the International Conference on Dependable Systems Networks. Washington, DC, USA, 2002: 389~398.
- [7] 单书畅,胡瑜,李晓维.多核处理器的核级冗余容错技术[C]//第六届中国测试学术会议论文集(CTC2010),中国,杭州,2010:290-295.

作者简介:

张海金 男,(1987-),硕士,工程师.研究方向为计算机体系结构、数字集成电路设计.

苏若皓(通讯作者) 男,(1992-),硕士,助理工程师.研究方向为数字集成电路设计. E-mail:475202798@qq.com.

崔媛媛 女,(1984-),博士,高级工程师.研究方向为计算机体系结构、数字集成电路设计.

娄冕 男,(1987-),博士,高级工程师.研究方向为计算机体系结构、数字集成电路设计.

刘思源 男,(1990-),硕士,工程师.研究方向为计算机体系结构、数字集成电路设计.

郭娜娜 女,(1985-),硕士,工程师.研究方向为计算机体系结构、数字集成电路设计.